

Extracción del parámetro de Hooge para estimaciones del ruido en baja frecuencia

Luis Manuel **Rodríguez**
Donato **Valdez-Pérez**
Eloy **García-Ramírez**

Instituto Politécnico Nacional,
Escuela Superior de Ingeniería Mecánica y Eléctrica.
Unidad Profesional "Adolfo López Mateos" Zacatenco,
Col. Lindavista, Del. Gustavo A. Madero, CP 07738,
Ciudad de México.
MÉXICO.

Tel. (55) 5729 6000 ext. 54757

correo electrónico (email): lrodrig@hotmail.com

Recibido 10-11-2014, aceptado 13-03-2015.

Resumen

Se presenta un nuevo método de extracción del parámetro de Hooge basado en mediciones de alta y baja frecuencia. Se hace especial hincapié en el papel que tienen las capacitancias y resistencias electrostáticas en la precisión del parámetro de Hooge. Se demuestra este nuevo cálculo del parámetro en el n-HFET Si/Si_{0.6}Ge_{0.4} y se compara este valor con aquellos que han sido calculados por el método clásico.

Palabras clave: HFET SiGe, ruido a baja frecuencia, parámetro de Hooge, ruido $1/f$.

Abstract

(Hooge Parameter Extraction for Estimates Low Frequency Noise)

A new extraction method for the Hooge parameter based on high frequency and low frequency measurements is presented

for the first time. We emphasize on the role played by the resistive and electrostatic parasitics on the accuracy of the Hooge parameter. We illustrate this new approach by calculating the Hooge parameter for a Si/Si_{0.6}Ge_{0.4} n HFET and we compare these values with those calculated by classical method.

Key words: SiGe HFET; Low frequency noise; Hooge parameter; $1/f$ noise.

1. Introducción

El parámetro de Hooge (α_H) se calcula frecuentemente para la caracterización del ruido a baja frecuencia (BF) en los transistores de efecto de campo cuando se supone que la naturaleza del ruido BF es debido a fluctuaciones en la movilidad. Este factor se asume que es independiente de la polarización, frecuencia, tamaño del dispositivo y es una figura de mérito muy útil para comparar el comportamiento del ruido $1/f$. En este trabajo se presenta un nuevo método que extrae el parámetro α_H basados en el circuito equivalente de pequeña señal obtenido de mediciones de HF. Primero se analizan los métodos clásicos usados para estimar el parámetro α_H y después se dan detalles del nuevo método desarrollado y para concluir mostramos algunos resultados obtenidos en el transistor de efecto de campo SiGe con heterounión (HFET).

Todos los resultados aquí presentados y el tratamiento han sido llevado a cabo en el n HFET Si/SiGe con $0.1 \times 100 \mu\text{m}^2$ de área de compuerta. La descripción de la estructura puede encontrarse en [1]. Este HFET presenta excelente desempeño en altas frecuencias con una frecuencia máxima de oscilación f_{MAX} de 188 GHz y una figura mínima de ruido NF_{min} de 0.3 dB a 2.5 GHz y una ganancia asociada G_{ass} de 19 dB [2].

2. Revisión de los métodos de medición clásicos

En la teoría de Hooge [3], el ruido $1/f$ está relacionado con las fluctuaciones de la movilidad en la red cristalina. El ruido

BF es de la forma $1/f^\gamma$, donde γ está entre 0.9 y 1.1 [4]. A pesar del origen del ruido $1/f$, se puede considerar el parámetro α_H como una herramienta para comparar el ruido en diferentes dispositivos o materiales. Con γ unitario el parámetro α_H se define como:

$$\alpha_H = fN \frac{S_{Id}}{I_{DS}^2} \quad (1)$$

donde N es el número total de cargas libres controladas por la compuerta en el canal del FET, I_{DS} es la corriente de drenaje y S_{Id} es la densidad espectral de ruido en corriente. De acuerdo a la medición, S_{Id} se puede obtener de la densidad espectral del ruido en voltaje S_{Vg} con $S_{Id} = S_{Vg} g_m^2$, donde g_m es la transconductancia extrínseca la cual puede medirse directamente.

La mayor dificultad en la determinación de α_H está en evaluar correctamente N . En régimen lineal N se puede expresar como [5]:

$$N = \frac{I_{DS} L_G}{q\mu(E_x)E_x} \quad (2)$$

donde $\mu(E_x)$ es la movilidad de los portadores dependiente del campo eléctrico, E_x es el campo eléctrico a lo largo del eje fuente-canal y L_G es la longitud del canal. La polarización en el drenaje debe ser muy pequeña para asegurar que los portadores en el canal estén bajo el régimen de movilidad y tener un campo eléctrico casi constante a lo largo del eje fuente-drenaje.

Con voltaje de drenaje pequeño, la corriente es reducida y el campo eléctrico bajo la compuerta puede ser calculado con:

$$E_x = [V_{DS} - (R_S + R_D)I_{DS}] / L_{eff}$$

donde R_S y R_D son la resistencia de fuente y drenaje, I_{DS} la corriente de drenaje y L_{eff} la longitud de compuerta efectiva.

Una vez que el campo eléctrico lateral se conoce, se calcula la movilidad de manera precisa. Existen gran variedad de modelos para estimar la movilidad [6]. Se puede considerar la movilidad dependiente del campo eléctrico [7]:

$$\mu(E_x) = \mu_0 \left[1 + \left[\frac{E_x}{E_s} \right]^\gamma \right]^{1/\gamma}$$

donde μ_0 es la movilidad con campo eléctrico pequeño (campo eléctrico menor a unos cientos de V/cm), E_s y γ son parámetros de ajuste. Esta aproximación ha sido utilizada por [8] y [9].

Por otro lado, inclusive en régimen lineal, tanto el perfil de dopaje en el canal como el dieléctrico de compuerta controlan la movilidad del HFET y la corriente de manera bastante compleja. Al parecer es mejor cuantificar directamente la movilidad de los portadores con mediciones principalmente en dispositivos de canal corto. Sin embargo la medición directa de la movilidad es difícil ya que es muy sensible al valor de la longitud efectiva del canal L_{eff} la resistencia extrínseca de fuente (R_S) y de drenaje (R_D). Algunos autores [10][11] han calculado la movilidad efectiva, μ_{eff} con la relación de conductancia de drenaje extrínseca g_D y la capacitancia del óxido de compuerta C_{ox} en los MOSFET:

$$\mu_{eff} = L_{eff}^2 \frac{\partial I_{DS} / \partial V_{DS}}{C_{ox} V_G} = L_{eff}^2 \frac{g_D}{C_{ox} V_G} \quad (3)$$

donde V_G es el voltaje efectivo de compuerta, g_D y C_{ox} se obtienen de las curvas $I-V$ y $C-V$. Por lo general se presentan diferencias en α_H ya que L_{eff} y las resistencias R_S y R_D no son tomadas en cuenta.

Sin embargo, una mejor extracción de la movilidad puede llevarse a cabo si se estima con precisión la contribución de R_S y R_D sobre la conductancia g_D . La g_{mint} y g_{Dint} son la transconductancia y conductancia intrínseca. Estos parámetros pueden extraerse usando las siguientes relaciones:

$$g_{mint} = \frac{g_m'}{1 - (R_S + R_D) g_D (1 + R_S g_m')} \quad (4)$$

$$g_{Dint} = \frac{g_D'}{1 - R_S g_m (1 - (R_S + R_D) g_D')} \quad (5)$$

donde

$$g_m' = \frac{g_m}{1 - g_m R_S} \quad (6)$$

$$g_D' = \frac{g_D}{1 - g_D(R_S + R_D)} \quad (7)$$

En algunos casos el parámetro α_H se obtiene en régimen de saturación [12]:

$$\alpha_H = \frac{S_i L_G f}{q v_{sat} I_{DSS}} \quad (8)$$

donde I_{DSS} es la corriente de saturación y v_{sat} es la velocidad de saturación. Las mediciones de ruido en régimen de saturación pueden resolver parte de las dificultades relacionadas con las velocidades complejas en los dispositivos HEMT III-V como puede ser la movilidad diferencial negativa. Sin embargo, la distribución del campo eléctrico en longitudes de compuerta inferiores a 100 nm presentan claramente que la velocidad del electrón debajo de la compuerta no es constante y diferente a la velocidad de saturación [13]. Por lo tanto, la extracción de α_H no es viable en dispositivos FET con compuerta ultra-corta.

3. Nuevo método

En primer lugar las limitaciones de los métodos clásicos usados para la extracción del parámetro α_H se deben en gran medida al incremento de los parásitos en los dispositivos con longitud de compuerta ultra-corta, llevándonos a la dudosa estimación de la movilidad efectiva, o del número efectivo de portadores libres N controlados por la compuerta. Tanto los parásitos resistivos y electrostáticos se deben tomar en cuenta para tener una extracción precisa de α_H . En segundo lugar, si los métodos clásicos están bien establecidos para el MOSFET, estos no son aplicables directamente al HFET de canal enterrado quienes presentan importantes efectos en 2D.

Por lo tanto se ha desarrollado un nuevo método que puede ser aplicado a cualquier FET. Este método explota las mediciones de HF y es muy confiable para HFET o III-V de longitud de compuerta reducida.

Explicaremos el método: se empieza con (1), en el caso del MOSFET, se puede obtener N directamente a través de la capacitancia de compuerta C_T (C_G o C_{OX}):

$$N = C_T V_G / q \quad (9)$$

Sustituyendo la ec. (9) en (1) se tiene:

$$\alpha_H = \frac{S_i C_T G_G f}{q I_{DS}^2} \quad (10)$$

El parámetro crucial de (9) es C_T . Es mejor medir esta capacitancia que calcularla (permitividad/espesor), ya que no necesariamente la longitud efectiva del canal y el espesor del óxido se conocen con exactitud. Además, la C_{OX} puede incluir la influencia de la deflexión debida a la capa del poly-silicio del MOS.

Ahora se explica la extracción de la capacitancia efectiva C_T : La medición de capacitancia contiene parásitos. Alguna de las contribuciones parásitas no deben ser consideradas en los cálculos de N . Se explicará en adelante como se extraen las capacitancias, a continuación se presenta la expresión que determina N en el HFET.

$$N = \frac{(C_{GS} + C_{GD} - C_{elec}) \times V_G}{q} \quad (11)$$

donde C_{GS} , C_{GD} y C_{elec} son la capacitancia total de compuerta fuente, compuerta drenaje y electrostática respectivamente, determinadas con mediciones HF.

La medición de parámetros S y el modelado en pequeña señal se utiliza para extraer las capacitancias y resistencias. La determinación de los parámetros intrínsecos del circuito equivalente se lleva a cabo mediante la transformación de los parámetros S en parámetros Y y Z por cada punto de polarización [14 - 16]. El total de las capacitancias representa no solamente la capacitancia intrínseca sino también las capacitancias electrostáticas extrínsecas.

Las capacitancias parásitas se extraen de las mediciones de C_{GS} y C_{GD} . Las capacitancias parásitas se conocen gracias a la medición y extracción de C_{GS} y C_{GD} llevada a cabo en varias longitudes y anchos de compuerta. El valor de la capacitancia

parásita se extrae cuando intercepta con la recta de longitud de compuerta cero y ancho de compuerta cero. Este valor no depende de las condiciones de polarización.

El total de las capacitancias parásitas se debe a tres contribuciones: 1) acoplamiento electrostático entre los dedos de la metalización de compuerta con la guía de onda coplanar, los cuales se observa que dependen fuertemente con el ancho de compuerta, 2) una capacitancia electrostática formada entre la metalización de la estructura de hongo de la compuerta y con los estados energéticos disponibles (*surface states*) en el *cap layers*, y 3) una contribución de frontera (*fringing*) que se incrementa en la zona de deflexión dentro del semiconductor. Se observa que las contribuciones 2) y 3) son afectadas con la longitud de compuerta. Hay que mencionar que los estados energéticos disponibles pueden contribuir de manera importante en el valor de las capacitancias de frontera. Las capacitancias de frontera y electrostáticas reducen el desempeño en HF bloqueando las mejoras de transporte del HFET SiGe. Las capacitancias electrostáticas pueden ser estimadas de los parámetros S con voltaje V_{DS} nulo y en régimen *off-state* ($V_{GS} \ll V_{TH}$).

El modelado eléctrico de varias longitudes y anchos de compuerta explicados en [17] muestran que estos parámetros electrostáticos varían de 70 a 150 fF/mm. Las capacitancias electrostáticas han sido estudiadas utilizando cálculos computacionales por elementos finitos. Estas han sido calculadas a partir de la distribución de cargas en los electrodos metálicos que forman un capacitor. Para un dispositivo típico la suma de la capacitancia total compuerta fuente y compuerta drenaje ($C_{GS} + C_{GD}$) es 125 fF/mm y la suma de resistencias ($R_S + R_D$) es 3.3 Ω .mm. Hay que mencionar que la contribución electrostática se elimina y los efectos de frontera del HFET también se toman en cuenta.

La figura 1 muestra la densidad espectral de ruido en corriente para el n-HFET SiGe el cual presenta ruido $1/f$ y generación-recombinación. Estos resultados están con el mismo E_x y S_{id} incrementa con el voltaje efectivo de compuerta. E_x constante se obtiene polarizando:

$$E_x = \frac{V_{DS} - I_{DS}(R_S + R_D)}{L_{eff}}$$

La figura 2 compara la evolución del número de cargas libres en función de V_G . N se calcula con la expresión (2) usando L_G

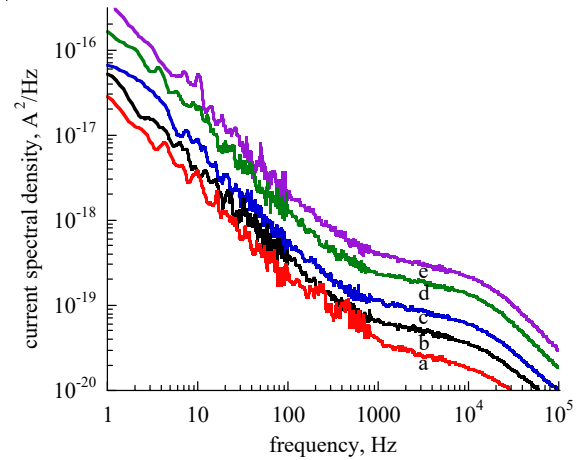


Fig. 1. Densidad espectral de ruido en corriente con $E_x = 1.21$ kV/cm en $100 \times 0.1 \mu\text{m}^2$, (a) $V_G = 0.096$ V, (b) 0.135 V, (c) 0.169 V, (d) 0.226 V y (e) 0.265 V.

directamente. También se estima N a partir de (11) con y sin tomar en cuenta la C_{elec} .

En la figura 3 se compara el parámetro α_H contra V_G , α_H se deriva de la expresión (1) y (2) usando L_G directamente. También se calcula a partir de (10) y (11) con y sin tomar en cuenta la C_{elec} .

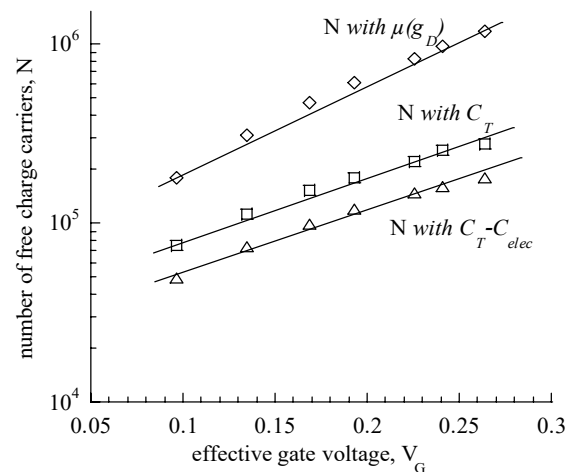


Fig. 2. Número de portadores libres controlados por la compuerta, (Δ) N calculado con nuestro método (usando ec. (11)), (\square) N calculado sin tomar en cuenta C_{elec} (usando ec (11)), (\blacktriangledown) N calculado sin tomar en cuenta L_{eff} .

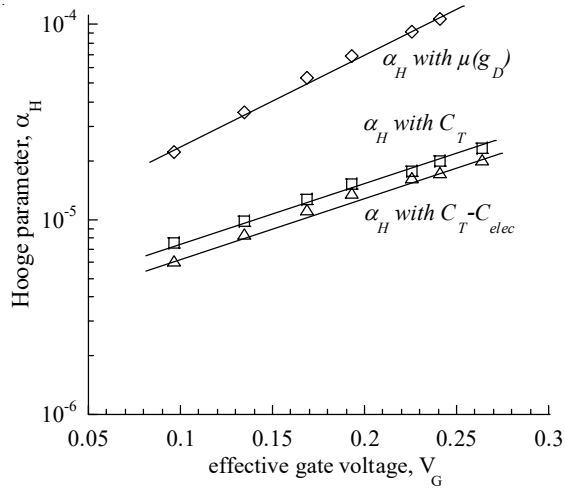


Fig. 3. Parámetro α_H en función de V_G (Δ) α_H calculado con nuestro método (usando ec. (10)), (\square) α_H calculado sin tomar en cuenta C_{elec} (usando ec (10) y (11)), (\blacktriangledown) α_H calculado sin tomar en cuenta L_{eff} (usando ec. (1) y (2)).

La figura 4 muestra la movilidad efectiva μ_{eff} en función de V_G . La μ_{eff} decrece con V_G debido a la dispersión de los fonones y dispersión debida a la rugosidad de la superficie [18]. La movilidad ha sido calculada entre $0.096 < V_G < 0.265$ volts a $E_X = 1.21$ kV/cm. Tomando en cuenta L_{eff} y C_{elec} y aplicando las expresiones (11) y (2), los valores resultantes de movilidad están entre 583 y 531 $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ los cuales son coherentes con los valores calculados de movilidad con campo eléctrico pequeño μ_0 [19].

Por otro lado, se puede observar un desacuerdo del 33% en movilidad cuando se usa la ec. (3), sustituyendo C_{OX} por C_T y sin tomar en cuenta la contribución C_{elec} y tomando en cuenta g_{Dint} y L_{eff} se encontró un mayor desacuerdo en μ_{eff} considerando L_G y la conductancia de drenaje extrínseca g_D .

La Tabla 1 describe el parámetro α_H estimado para varias tecnologías de FET. Como el parámetro α_H puede usarse para evaluar la calidad cristalina del transistor, se observa que la mejor calidad la tiene el p-MOSFET de Si convencional. Y la peor calidad cristalina se observa en los p-FET SiGe fabricados sobre zafiro, se sabe que silicio tiene un desacuerdo de malla del 10% con respecto al zafiro incrementando las dislocaciones y defectos de interface. El parámetro α_H calculado en el n HFET SiGe de este trabajo, es comparable con el

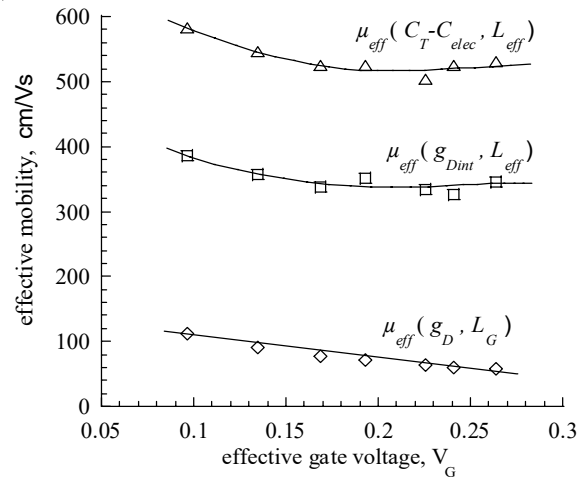


Fig. 4. Movilidad efectiva μ_{eff} en función de V_G (Δ) μ_{eff} calculada (usando la ec. (11) y (2)), (\square) μ_{eff} calculada tomando en cuenta g_{Dint} y L_{eff} (usando la ec. (3)), (\blacktriangledown) μ_{eff} calculada tomando en cuenta g_D y L_G (usando la ec. (3))

parámetro observado en los transistores n-MOSFET Si y PHEMT InGaAs.

4. Conclusiones

Se ha presentado un nuevo método de calcular el parámetro α_H adecuado para el HFET de canal enterrado. La evaluación del parámetro de Hooge se basa en el cálculo de las capacitancias llevándonos a una adecuada estimación del parámetro α_H . Al desestimar la longitud efectiva de compuerta y no tomar en consideración la influencia de las capacitancias electrostáticas se presentan desviaciones importantes en el cálculo de la movilidad y portadores de carga libres. El nuevo método presentado en este trabajo considera los problemas en dispositivos de longitud de compuerta ultra-corta, entonces el parámetro α_H resulta ser proporcional al número total de portadores de carga libres controlados por la compuerta como se asume teóricamente.

Referencias

- [1] M. Kummer, C. Rosenblad, A. Dommann, T. Hackbarth, G. Höck, M. Zeuner, E. Müller and H. Von Känel, Low energy plasma enhanced chemical vapour deposition, *Materials Sci. Eng.* B89 (2002), 288-295.

- [2] M. Enciso, F. Aniel, P. Crozat, R. Adde, M. Zeuner, T. Fox and T. Hackbarth, 0.3 dB minimum noise figure of 0.13 μm gate-length strained Ge/Si_{0.58}Ge_{0.42} n-MODFETs, *Electron Lett.* 37 (2001), 1089-1090.
- [3] F. N. Hooge, "1/f noise is no surface effect", *Phys. Lett. A* 29 (1969), 139.
- [4] F. N. Hooge, T. G. M. Kleinpenning and L. K. J. Vandamme, Experimental studies on 1/f noise, *Rep. on Progress. Physics.* 44 (1981), 497-532.
- [5] A. van der Ziel, Unified Presentation of 1/f Noise in Electronic Devices: Fundamental 1/f Noise sources, *Proceedings of the IEEE* 76 (1988), 233-258.
- [6] D. B. M. Klaassen, A Unified Mobility Model for Device Simulation - I. Model Equations and Concentration Dependence, *Solid-State Electronics* 35 (1992), 953-959.
- [7] C. Jacobini, C. Canali, G. Ottaviani and A. Quaranta, A review of some transport properties of silicon, *Solid-State Electronics* 20 (1977), 77-89.
- [8] G. Knoblinger, P. Klein and M. Tiebout, A New Model for Thermal Channel Noise of Deep-Submicron MOSFETs and its Application in RF-CMOS Design, *IEEE Journal of Solid-State Circuits* 36, (2001), 831-837.
- [9] P. W. Li and W. M. Liao, Low-frequency noise analysis of Si/SiGe channel pMOSFETs, *Solid-State Electronics* 46 (2002), 2281-2285.
- [10] N. B. Lukyanchikova, M. V. Petrichuk, N. P. Garbar, L. S. Riley and S. Hall, Noise in p-channel SiGe and si MOSFETs with gate oxide grown by low temperature plasma anodisation, *Proc. EDMO* (2001), 181-186.
- [11] S. J. Mathew, G. Niu, W. B. Dubbelday, J. D. Cressler, J. A. Ott, J. O. Chu, P. M. Mooney, K. L. Kavanagh, B. S. Meyerson and I. Lagnado Hole confinement and low-frequency noise in SiGe pFET's on silicon-on-sapphire, *IEEE Electron Device Lett.* 20 (1999), 173-175.
- [12] R. Plana, L. Escotte, O. Llopis, H. Amine, T. Parra, M. Gayral and J. Graffeuil, Noise in AlGaAs/InGaAs/GaAs pseudomorphic HEMT's from 10 Hz to 18 GHz, *IEEE Trans. Electron Devices* 41 (1993), 90-101
- [13] Kizilali these FA95.
- [14] G. Dambrine, A. Cappy, F. Heliodore and E. Playez, A new method for determining the FET small-signal equivalent circuit, *IEEE Trans. Microwave Theory Tech.* 36 (1988), 1151-1159.
- [15] Manfred Berroth and Roland Bosch, Broad-band determination of the FET small-signal equivalent circuit, *IEEE Trans Microwave Theory Tech* 38 (1990), 891-895.
- [16] A. Miras and Legros, Very high-frequency small-signal equivalent circuit for short gate-length InP HEMT's, *IEEE Trans. Microwave Theory Tech.* 45, (1997), 1018-1026.
- [17] K. Yazbek, A. de Lustrac, Y. Jin, F. Aniel, P. Crozat, R. Adde and G. Vernet, Electrostatic capacitances in standard and pseudomorphic ultrashort gate length HEMTs, *Electron Lett.* 28 (1992), 1776-1778.
- [18] E. P. Vandamme and L. K. J. Vandamme, Critical discussion on unified 1/f noise models for MOSFETs, *IEEE Trans. Electron Device* 47 (2000), 2146-2152.
- [19] F. Aniel, M. Enciso-Aguilar, N. Zerounian, L. Giguere, P. Crozat, R. Adde, M. Zeuner, G. Höck T. Hackbarth, H. -J. Herzog and U. König, SiGe hetero FETs on silicon at cryogenic temperature, *Proc. WOLTE* (2002), 3-10.
- [20] Y. Akue Allogo, M. Murcia, J. C. Vildeuil, M. Valenza, P. Llinares and D. Cottin, 1/f noise measurements in n channel MOSFETs processed in 0.25 μm technology, *Solid-State Electronics* 46 (2002), 361-366.
- [21] J. Chang, A. A. Abidi and C. R. Viswanathan, Flicker Noise in CMOS transistors from Subthreshold to strong inversion at various temperatures, *IEEE Trans. Electron Device* 41 (1994), 1965-1971.

Latindex

Sistema Regional en Línea para Revistas Científicas
de América Latina, el Caribe, España y Portugal

<http://www.latindex.unam.mx>